

Conception d'amplificateur faible bruit à 2.5GHz sous 1V en CMOS-SOI

Carlo Tinella

LEMO UMR 5530 INPG-CNRS-UJF

23, rue des Martyrs ENSERG 38016 Grenoble

E-mail :. tinella@enserg.fr

Résumé

Un Amplificateur faible bruit a été conçu dans une technologie CMOS SOI (Silicium sur Isolant) partiellement désertée 0.25 μ m, avec une figure de bruit de 2.3 dB et une tension d'alimentation de 1V. Dans le but d'une intégration complète et robuste, tous les composants passifs, tel que les selfs et les capacités ont été intégrés sur silicium. Le Gain en puissance obtenu est de 13dB avec une consommation en courant de 4mA.

1. Introduction

L'énorme effort produit par l'industrie de la microélectronique dans les dernières années, afin de réduire les dimensions des MOSFETs, rend aujourd'hui de plus en plus viable l'intégration de fonctions radiofréquences en technologie CMOS [1]. Des fréquence de transition de f_T de plus de 100GHz sont maintenant atteintes par des transistors sub-0,1 μ m [2], ce qui permet la réalisation complète de récepteurs CMOS dans la bande de fréquences 1-8GHz.

Pour les technologies CMOS-SOI partiellement désertées, ces nouvelles potentialités RF doivent être rajoutées à toute une série d'avantages liés à l'utilisation des substrats silicium sur isolant tels que : capacités de diffusion drain substrat et source substrat beaucoup plus faibles (spécialement à faible tension) ; meilleure densité d'intégration ; forte réduction des surfaces de jonctions, et donc des courants de fuites associés à ces jonctions ; possibilité d'utiliser des substrats très résistifs permettant d'obtenir des passifs (inductances) de bonne qualité ; forte réduction du taux de soft-error (SEU) et immunité au latch-up [3-4].

Après avoir démontré le gain en performances dans l'intégration de systèmes numériques [5], les technologies SOI sont depuis peu expertisées en vue de l'intégration complète des terminaux pour communications sans fil.

Parmi les fonctions critiques d'une chaîne de réception RF, l'amplificateur faible bruit est un élément très important car il participe majoritairement à la sensibilité et la dynamique de la chaîne.

2. Description de l'amplificateur

La figure 1 présente le schéma électrique de l'amplificateur intégré. La configuration utilisée est une structure à source commune (N1) avec dégénération inductive. Cette configuration présente un bon compromis entre la figure de bruit, le gain et l'adaptation en puissance

en entrée. La charge en sortie est un circuit LC accordé à la fréquence de travail ω_0 . L'utilisation d'une charge résonnante à la place d'une résistance permet d'obtenir un gain suffisant sous faible tension d'alimentation. L'adjonction d'un étage cascode (N2) garantit l'isolation entre la sortie et l'entrée de l'étage, et prévient tout problème d'instabilité. L'adaptation en puissance en entrée est réalisée grâce aux l'inductances L_g et L_s qui annulent la partie capacitive C_{in} de l'impédance d'entrée Z_{in} , et règlent la partie réelle de Z_{in} à la valeur de 50 Ω à la pulsation de travail ω_0 . En sortie, l'adaptation sur une charge résistive de 50 Ω est réalisé par le diviseur capacitif $C_1 - C_2$.

La capacité ramène au niveau du drain de N2 et qui résonne avec L_{out} , comprend donc : la charge capacitive présentée par le diviseur $C_1 - C_2$, la capacité due à la diffusion de drain du transistor de sortie, la capacité associée à la self elle même et celle introduite par les interconnexions. Il faut toutefois préciser que l'adaptation en puissance est nécessaire dans ce cas, car on veut pouvoir mesurer le circuit sous pointes. Dans un contexte de complète intégration l'inductance L_{out} peut résonner directement avec la capacité d'entrée de l'étage qui suit, e.g. le mélangeur. La tension d'alimentation est de 1V.

2.1 Réseau d'adaptation en entrée

Si on néglige les capacités parasites associées aux selfs et aux interconnexions du réseau d'entrée, et la capacités de recouvrement grille-drain de N1, il peut être démontré que l'impédance d'entrée Z_{in} est donné par la relation suivante:

$$Z_{in} = s(L_g + L_s) + \frac{1 + g_m R_{L_s}}{s \cdot C_{gs}} + R_{L_s} + R_{L_g} + \frac{g_m}{C_{gs}} L_s \quad (1)$$

où, R_{L_s} et R_{L_g} représentent les résistances parasites séries des inductances L_s et L_g , g_m et C_{gs} la transconductance et la capacité grille-source de N1 respectivement. A la résonance, les conditions d'adaptation en puissance sont :

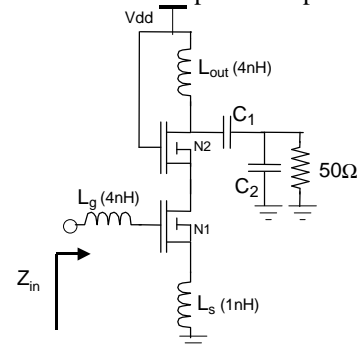


Figure 1. Schéma électrique de l'amplificateur intégré.

$$R_{L_s} + R_{L_s} + \frac{g_m}{C_{gs}} L_s = 50\Omega \quad (2)$$

$$\omega_0 = \sqrt{\frac{1 + g_m R_{L_s}}{(L_g + L_s) C_{gs}}} = \frac{50 \cdot Q_{in}}{L_g + L_s} \quad (3)$$

où, Q_{in} représente le facteur de surtension du réseau d'entrée.

2.2 Modèle de bruit

Le modèle utilisé pour nos simulations n'inclut pas de sources de bruit pour le transistor. Des générateurs de bruit ont été rajoutés au MOS, en accord avec la modélisation reporté dans [6] pour le bruit de canal et induit sur la grille :

$$\overline{i_d^2} = \gamma 4KT g_{d0} \Delta f \quad (4)$$

$$\overline{i_g^2} = 4KT \delta \frac{\omega^2 C_{gs}^2}{5g_{d0}} \Delta f \quad (5)$$

avec, $\gamma = 1$ et $\delta = 2,5$.

2.3 Facteur de bruit

La figure de bruit de ce type d'amplificateur peut s'exprimer avec la relation [7] :

$$F \approx 1 + \frac{R_{L_s}}{R_s} + \frac{R_{L_g}}{R_s} + \gamma \cdot \chi \cdot g_{d0} R_s \left(\frac{\omega_0}{\omega_r} \right)^2 \quad (6)$$

où, χ est une fonction des paramètres de bruit (γ, δ), de la technologie et de Q_{in} . Les simulations montrent que le bruit du N2 a une faible contribution dans la figure de bruit totale, et n'est pas donc prise en compte dans (6).

3. Méthodologie de conception

Le transistor utilisé pour l'étage d'entrée est du type body flottant, alors que celui utilisé pour l'étage de sortie est du type body relié à la source. L'utilisation d'un body flottant, nous impose une attention particulier dans la polarisation de ce transistor pour éviter que celui-ci travaille en régime de Kink [3].

La méthode mise au point dans [7] permet de déterminer un Q_{in} optimal, et donc un W optimal, qui donne un facteur de bruit minimal pour une puissance dissipée donnée. Toutefois, cette méthode d'optimisation de la figure de bruit ne tient pas compte du bruit introduit en entrée par la résistance série des selfs intégrées. Dans notre cas donc, il a fallu trouver un compromis entre la valeur issue de [7] et le bruit associé aux parasites de selfs intégrées. Pour une puissance de 4mW, on a choisie de garder une valeur de $Q_{in} = 1,6$. Cette valeur de Q_{in} nous permet en effet d'intégrer des selfs dans une plage de valeurs (3-5nH) qui présentent un facteur de qualité maximale pour des fréquence autour de 2.5GHz. Les valeurs des selfs ont été déduites des relations (2-3) et ensuite affinées par les simulations. Ces valeurs sont données dans la figure 1, les W de N1 et N2 sont respectivement de 528 μ m et 264 μ m. Les schémas équivalents des selfs ont été obtenus par simulation avec le logiciel Momentum de Agilent Techn. A partir des données technologiques.

4. Résultats de simulation

Les résultats obtenus par simulations sont résumées dans le tableau 1. A titre de comparaison, dans le même tableau on a reporté aussi des résultats publiés récemment pour des LNAs réalisées en CMOS bulk et SOI. Compte tenu des différentes technologies, on peut bien dire que les résultats obtenus avec ce travail sont très encourageants.

f₀ [GHz]	2,5	1,5	1,8
Gain [dB]	13,5	17	23,5
NF [dB]	2,3	3,8	3,5
IIP[dBm]	0,6	-6	Nd
Puis. /V_{DD} [mW/V]	4,5/1	12/1,5	8,5/1,5
Techno.	0,25 μ m SOI PD	0,35 μ m Bulk	0,6 μ m SOI PD
	ce travail	[8]	[9]

Table 1. Caractéristiques simulées.

5. Conclusions

Dans cet article nous avons décrit la conception d'un amplificateur faible bruit entièrement intégré en technologie CMOS SOI 0,25 μ m sous faible tension d'alimentation (1V) et fonctionnant à 2,5GHz. Les performances obtenues sont comparables, voir meilleures que celles obtenues dans les technologies CMOS submicroniques et confirment les bonnes potentialités de le SOI pour l'intégration de fonctions RF.

Références

- [1] J. N. Burghatz et al. "RF potential of a 0.18 μ m CMOS logic device technology," IEEE Trans. on elec. devices, vol.47, April 2000.
- [2] Y.Taur et al. "High performance 0.1 μ m CMOS devices with 1.5V power supply," IEDM Techn. Dig. 1993.
- [3] O. Rozeau et al. "SOI technologies overview for Low-Power Low-Voltage Radio frequency Applications," Analog Integ. Circ. & Signal Process., vol.25, Nov. 2000.
- [4] F. Faccio " Etude des transistors MOS avancées sur Silicium sur isolant (SOI) : bruit, dégradation en environnement radiatif et applications," Thèse de doctorat à l'INPG, France, Nov. 97.
- [5] A. G. Aipperspach et al. "A 0.2 μ m, 1.8V, SOI, 550MHz, 64b PowerPC Microprocessor with Copper Interconnects," IEEE Journal of Solid State Circuits, vol. 34, no. 11, Nov. 1999.
- [6] A. Van der Ziel, *Noise in Solid State Devices and Cicruits*. New York, Wiley 1986.
- [7] D.K. Shaeffer et al. "A 1.5V, 1.5GHz CMOS Low Noise Amplifier," IEEE Journal of Solid State Circuits, vol. 32, no. 5, May 1997.
- [8] A. R. Shanani et al., " A 12mW wide dynamic range CMOS front-end for portable GPS receiver," IEEE Journal of Solid-State Circuits, vol. 32, no. 12, Dec. 1997.
- [9] W. Jin et al., "1.5-V 1.8-GHz SOI Low Noise Amplifiers for PCS Receivers," IEEE Intern. SOI Conf., Oct. 1999.