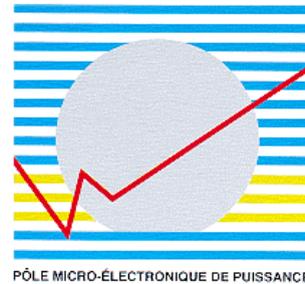




Sujet de stage Ingénieur
Année 2004-2005



*Laboratoire de Microélectronique de
Microélectronique de Puissance (LMP)
Université de Tours
16 rue Pierre et Marie Curie
37071 Tours Cedex 2*

Etude de la fiabilité des composants de puissance ACS de type TRIAC soumis à des contraintes en di/dt

Responsable universitaire : Thierry LEQUEU, Maître de Conférences à l'IUT GEIL.
lequeu@univ-tours.fr ou thierry.lequeu@st.com
Tel : 02 47 42 40 00.

Responsable industriel : Stéphane MOREAU, doctorant au LMP.

Période : février 2005 - août 2005.

Lieu du stage : STMicroelectronics
16, rue Pierre et Marie CURIE – BP 7155, 37071 TOURS CEDEX 2

Rémunération : celle en vigueur à l'Université pour les stages obligatoires.

Contexte : Les applications des interrupteurs bidirectionnels de type TRIACS sont susceptibles d'exercer sur les zones actives du composant des contraintes qui peuvent provoquer un vieillissement anormal de celui-ci (chocs thermiques par fort di/dt). Le LMP, laboratoire universitaire intégré à la structure de STMicroelectronics (ST) Tours, possède de l'expérience dans le domaine de la fiabilité des TRIACS soumis à des forts di/dt.

Objectif : l'objectif du stage consiste à appliquer la méthodologie, mise au point au LMP, concernant la détermination de la durée de vie des composants TRIACS, afin de comparer la fiabilité de différentes familles de ces composants, soumis à de forts di/dt. L'étude concernera la comparaison des composants ASCT108-6 en technologie PLANAR avec les composants Z0103MA en technologie TOP-GLASS.

Méthodologie :

L'étude s'appuie sur l'utilisation d'un banc de test automatisé permettant :

- 1) l'application de contraintes en di/dt sur 40 composants ;
- 2) le contrôle de la durée de stress ;
- 3) la mesure des paramètres électriques des composants.

Les modes de défaillance induits seront étudiés à savoir l'évolution des courants de fuite, la dégradation de la tenue en tension et les variations de la chute de tension à l'état passant.

Une exploitation statistique des défauts permet l'extrapolation de la durée de vie des composants soumis à des niveaux de contrainte nominale (plus faible).

Les analyses de défaillances dans le semi-conducteur seront au Laboratoire d'Analyse des Technologies (LAT) de STMicroelectronics.

Profil demandé :

Le candidat doit avoir des connaissances de la physique des composants, des notions de fiabilité et d'électronique analogique. Des connaissances sur les outils de simulation ISE seront appréciées ainsi que l'utilisation du logiciel Matlab. Les logiciels de calcul Excel et d'instrumentation Labview seront également utilisés lors du stage.