



## Sujet de stage Licence

### Etude comparative de la fiabilité des composants de puissance de type Thyristor/TRIAC soumis à des contraintes en di/dt

**Responsable universitaire** : Thierry LEQUEU, Maître de Conférences à l'IUT GEII de Tours.  
lequeu@univ-tours.fr ou thierry.lequeu@st.com  
Tel : 02 47 42 40 00.

**Responsable industriel** : Stéphane MOREAU, doctorant au LMP.

**Période** : du lundi 10 mars 2003 au vendredi 27 juin 2003.

**Lieu du stage** : STMicroelectronics  
16, rue Pierre et Marie CURIE – BP 7155, 37071 TOURS CEDEX 2

**Rémunération** : celle en vigueur à l'Université pour les stages obligatoires.

**Contexte** : de nombreux travaux sont consacrés aujourd'hui à l'étude de la fiabilité fonctionnelle des composants de puissance et plus particulièrement des interrupteurs bidirectionnels tels que les TRIACS. Il s'agit de prévoir la durée de vie du composant en fonctionnement dans différentes applications. Ces applications sont susceptibles d'exercer sur les zones actives du composant des contraintes qui peuvent provoquer un vieillissement anormal de celui-ci (chocs thermiques par fort di/dt). Le LMP, laboratoire universitaire intégré à la structure de STMicroelectronics (ST) Tours, possède de l'expérience dans le domaine de la fiabilité des TRIACS soumis à des forts di/dt. Le stage donc se déroulera dans le service de fiabilité de ST, sous la responsabilité conjointe ST-LMP.

**Objectif** : l'objectif du stage consiste à appliquer la méthodologie, mise au point au LMP, concernant la détermination de la durée de vie des composants TRIACS, afin de comparer la fiabilité de différentes familles de ces composants, soumis à de forts di/dt. L'étude concernera la comparaison des technologies de fabrication TOP-GLASS, MESA-GLASS et PLANAR, utilisées par ST Tours.

#### Méthodologie :

L'étude s'appuie sur l'utilisation d'un banc de test automatisé permettant :

- 1) l'application de contraintes en di/dt sur 40 composants ;
- 2) le contrôle de la durée de stress ;
- 3) la mesure des paramètres électriques des composants.

Les modes de défaillance induits seront étudiés à savoir l'évolution des courants de fuite, la dégradation de la tenue en tension et les variations de la chute de tension à l'état passant.

Une exploitation statistique des défauts permet l'extrapolation de la durée de vie des composants soumis à des niveaux de contrainte nominale (plus faible).

#### Profil demandé :

Elève de licence d'électronique ou micro-électronique. Le candidat doit avoir des connaissances de la physique des composants, des notions de fiabilité et d'électronique analogique. Des connaissances sur les outils de simulation ISE seront appréciées ainsi que l'utilisation du logiciel Matlab. Les logiciels de calcul Excel et d'instrumentation Labview seront également utilisés lors du stage.

**Contact** : Prendre contact par e-mail d'abord avec Thierry LEQUEU : CV et lettre de motivation.