

Projet 4 - CVS-CDE / Commande MLI 12 sorties

Projet : LMP3

Info : [DIV291]

Version 1 : du 10 décembre 2001, révision du 15 décembre 2001.

Version 2 : du 15 décembre 2001.

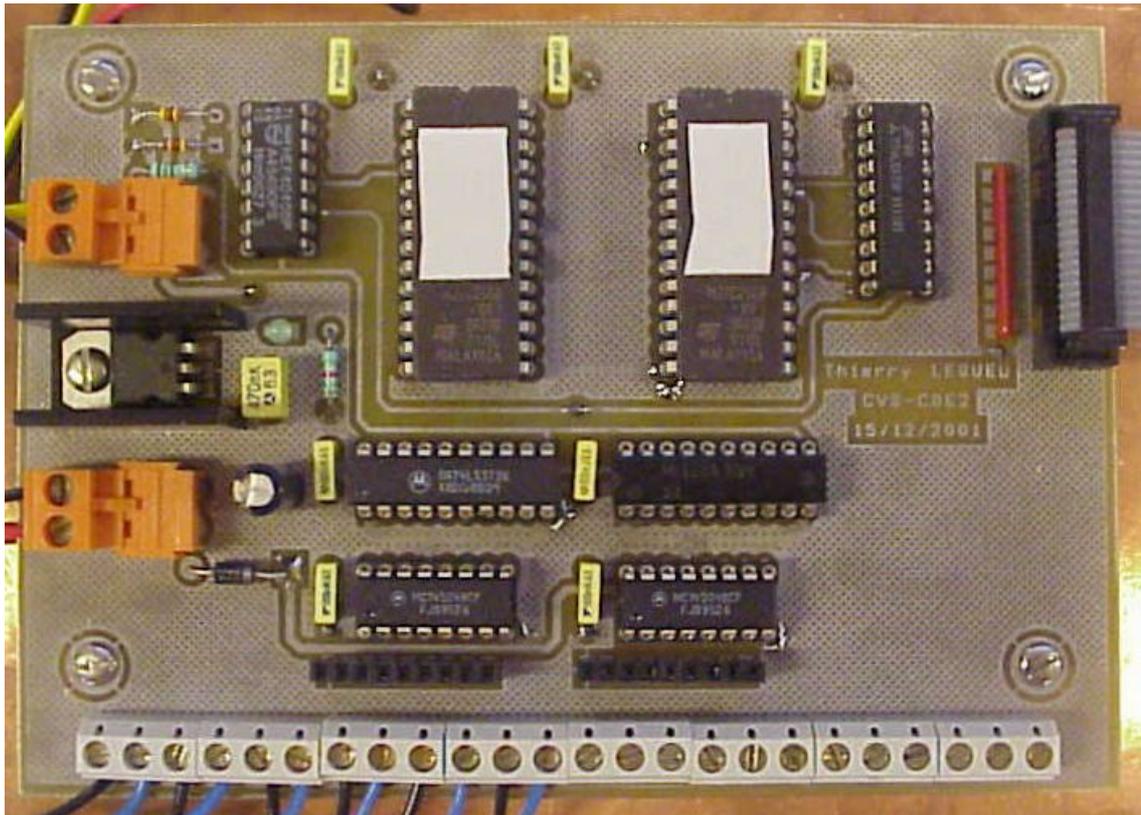


Figure 4.1. Vue du circuit imprimé (images-maquettes\cvs-cde-01.jpg).

4.1 Liste des documents

- Résolution du générateur.
- Liste des composants.
- Schéma électronique de l'alimentation.
- Schéma électronique du générateur MLI.
- Circuit imprimé coté composants.
- Circuit imprimé coté cuivre.
- Implantation des composants.
- Plan de perçage.
- Documentations : CD4040, CD4504, 27C256, 74LS373, 7805.

4.2 Liste des composants

Tableau 4.1. Liste des composants (projetslmp3.xls \ CVS-CDE).

N°	Quantité	Référence	Désignation	Empreinte
1	1	C1	100uF	RADIAL06
2	1	C2	1uF	CK06
3	7	C3,C4,C5,C6,C7,C8,C9	100nF	CK06
4	1	D1	1N4001	DO41
5	2	D3,D2	1N4148	DO35
6	1	D4	3mm	LED3
7	2	JP14,JP1	EXT7-12	09PL1
8	1	JP2	ALIM	WEID2
9	1	JP4	DIP16	16DIP300L
10	1	JP5	8 x 4.7K	09PL1
11	1	JP7	CLOCK	WEID2
12	1	JP10	MLI1-6	12PL2
13	1	JP11	MLI7-12	12PL2
14	4	JP12,JP13,JP15,JP16	EXT1-6	09PL1
15	22	4K1...4K4, 6K1... 6K6, K1...K12	ROUGE	LED5
16	1	R1	330	RC04
17	1	R5	100	RC04
18	22	R6, ... , R27	5.6k	RC04
19	1	U1	LM7805	TO220RF1
20	2	U2,U7	74LS373	20DIP300
21	2	U8,U3	4504	16DIP300
22	1	U4	CD4040BE	16DIP300
23	2	U6,U5	27C256	28DIP600
24	4	VIS1,VIS2,VIS3,VIS4	VISSERIE	M3L

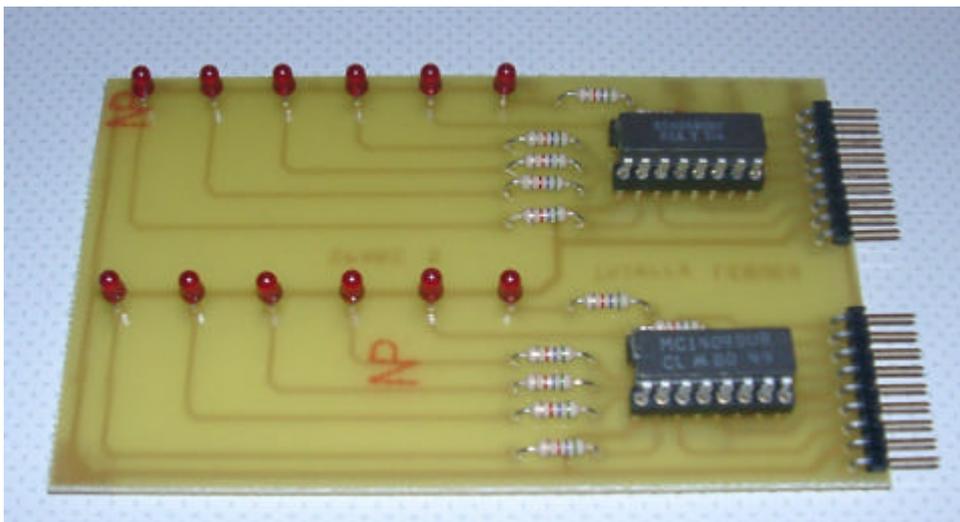


Figure 4.0. Vue du circuit imprimé affichage (images-maquettes\cvs-cde-31.jpg).

4.3 Désignation des connexions des EPROMs

Tableau 4.2. Connexion des bits de l'EPROM N°1 – sortie de 1 à 6

EPROM Bit – N° broche	74 LS 374 Entrée - Sortie	CD 4504 BE Entrée - Sortie	Connecteur	N°
D1 – 12	18 – 19	14 – 15	GND OUT1	12 11
D2 – 13	3 – 2	3 – 2	GND OUT2	10 9
D0 – 11	17 – 16	5 – 4	GND OUT3	8 7
D5 – 17	4 – 5	11 – 12	GND OUT4	6 5
D4 – 16	14 – 15	7 – 6	GND OUT5	4 3
D3 – 15	7 – 6	9 – 10	GND OUT6	2 1
D6 – 18	3 – 2	n.c.		
D7 – 19	8 – 9	RESET		

Tableau 4.3. Connexion des bits de l'EPROM N°2 – sortie de 7 à 12

EPROM Bit – N° broche	74 LS 374 Entrée - Sortie	CD 4504 BE Entrée - Sortie	Connecteur	N°
D1 – 12	18 – 19	14 – 15	GND OUT7	12 11
D2 – 13	3 – 2	3 – 2	GND OUT8	10 9
D0 – 11	17 – 16	5 – 4	GND OUT9	8 7
D5 – 17	4 – 5	11 – 12	GND OUT10	6 5
D4 – 16	14 – 15	7 – 6	GND OUT11	4 3
D3 – 15	7 – 6	9 – 10	GND OUT12	2 1
D6 – 18	3 – 2	n.c.		
D7 – 19	8 – 9	n.c.		

4.4 Etude du générateur MLI numérique

4.4.1 Cahier des charges

Ce générateur d'onde devra produire les signaux MLI nécessaires à la commande du convertisseur SPARC_N. L'utilisation des circuits d'adaptations TTL (+5V) / CMOS (+15V) implique un nombre de sortie multiple de 6. Il comportera donc 12 sorties logiques, correspondant aux commandes des transistors du convertisseur.

4.4.2 Principe du générateur

Le principe de ce générateur est basé sur l'utilisation d'une EPROM contenant les motifs MLI et qui sera "balayée" par un compteur (fig. 4.1). Les bits de données donnent directement les sorties MLI après adaptation de tension 0-5V → 0-15V.

La sélection de la fonction MLI de sortie se fera par un sélecteur agissant sur les bits de poids fort de l'EPROM. La fréquence de fonctionnement (fréquence du compteur) sera réglable grâce à un générateur de fonction externe.

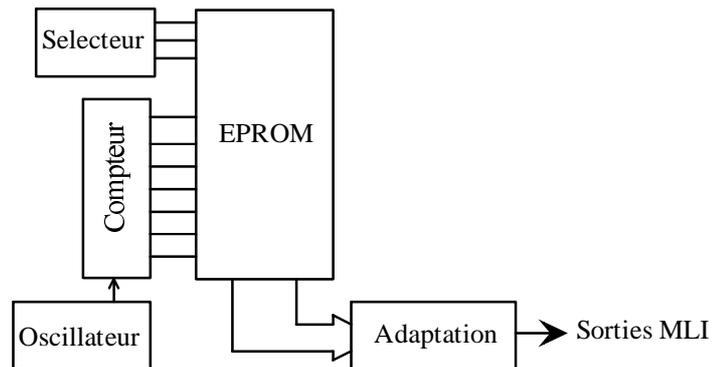


Figure 4.1. Synoptique de fonctionnement (dessins\gene_mli.drw).

Un bit d'une EPROM (ici le bit D7 de l'EPROM N°1) servira de RESET au compteur, afin de rendre période une séquence de fonctionnement de longueur variable.

4.4.3 Résolution du générateur MLI à EPROM

Le nombre de séquence de fonctionnement dépend du nombre d'interrupteurs du convertisseur et de la séquence utilisée (tableau 4.4).

Une capacité maximale de 128 séquences permet de couvrir le fonctionnement du convertisseur SPARC₁₄.

Le tableau 4.5 donne le nombre maximal de motifs disponible en fonction de la résolution souhaitée et de la capacité de l'EPROM choisie.

Tableau 4.4. Nombre de séquence.

N _T	N _I	N _S
1	2 x 2 = 4	8
2	3 x 3 = 6	12
3	4 x 4 = 8	16
4	5 x 5 = 10	20
5	6 x 6 = 12	24
14	15 x 15 = 30	60

Tableau 4.5. Nombre de motifs disponible.

N _{max}	EPROM 27 64 8 Ko	EPROM 27 128 16 Ko	EPROM 27 256 32 Ko	EPROM 27 512 64 Ko
32	256	512	1024	4096
64	128	256	512	2048
128	64	128	256	1024
256	32	64	1286	256
1024	8	16	32	64

Une combinaison de 256 motifs permet un adressage sur bits. La solution retenue est une EPROM de 32 kilo-octets (27 C 256), autorisant 256 motifs de 128 séquences au maximum.

Avec ce choix d'une EPROM de TYPE 27C256 de 32 Ko, la répartition des adresses est faite de la façon suivante :

- Les 7 adresses A_0 à A_6 correspondent aux sorties Q_1 à Q_7 du compteurs à 7 bits ;
- les 8 adresse A_7 à A_{14} permettent le choix d'un motif parmi 256.

4.4.4 Précision du générateur MLI à EPROM

Afin de parcourir les 128 octets en une période $T = 20 \mu\text{s}$, la fréquence d'horloge du compteur devra être de :

$$T_{\text{CLK}} = \frac{T}{128} = \frac{20 \cdot 10^{-6}}{128} = 156,25 \text{ ns} \text{ soit } F_{\text{CLK}} = 128 \times F = 128 \times 50 \cdot 10^3 = 6,4 \text{ MHz} \quad (4.1)$$

Le tableau 4.6 donne la valeur de la fréquence du générateur externe (GBF) pour obtenir une fréquence de base $F = 50 \text{ kHz}$ en fonction de la longueur de la séquence.

Tableau 4.6. Fréquence du compteur.

	N_S	F_{GBF}
SPARC ₁	8	400 kHz
SPARC ₂	12	600 kHz
SPARC ₃	16	800 kHz
SPARC ₄	20	1,0 MHz
SPARC ₅	24	1,2 MHz
SPARC ₁₄	60	3,0 MHz

4.5 Chronogramme de fonctionnement

4.5.1 Figure 4.2 : séquence de test de type compteur binaire

La donnée présente sur le bit D0 de l'EPROM au front descendant de l'horloge est recopiée en sortie du LATCH 74LS373 lorsque le niveau logique de l'horloge vaut 1. Ce niveau est verrouillé pour $\text{CLK} = 0$.

4.5.2 Figure 4.3 : délais ON entre la sortie LATCH et la sortie +15V

Le délais entre l'horloge et la sortie du LATCH est très faible (temps de propagation de la logique TTL).
Le retard entre la sortie du LATCH et la montée de la tension 15V d'alimentation des LEDs ($R = 5,6 \text{ K}\Omega$, $I_{\text{LED}} = 2 \text{ mA}$) est de 144 ns.

4.5.3 Figure 4.4 : délais OFF entre la sortie LATCH et la sortie +15V

Le retard entre la sortie du LATCH et la descente de la tension 15V d'alimentation des LEDs ($R = 5,6 \text{ K}\Omega$, $I_{\text{LED}} = 2 \text{ mA}$) est de 90 ns.

4.5.4 Figure 4.5 : impulsion de RESET du compteur

Le bit D7 passe au niveau logique 1 pour indiquer la fin de la séquence.

La mise à 1 du signal d'horloge CLK transfert ce niveau en sortie du LATCH et passe RESET à 1.

Le compteur passe à 0 et le premier motif de l'EPROM force le bit D7 à 0, libérant le compteur.

La largeur de l'impulsion est d'environ 200 ns et correspond au temps de propagation du compteur CMOS CD4040 et de l'EPROM 27C256.

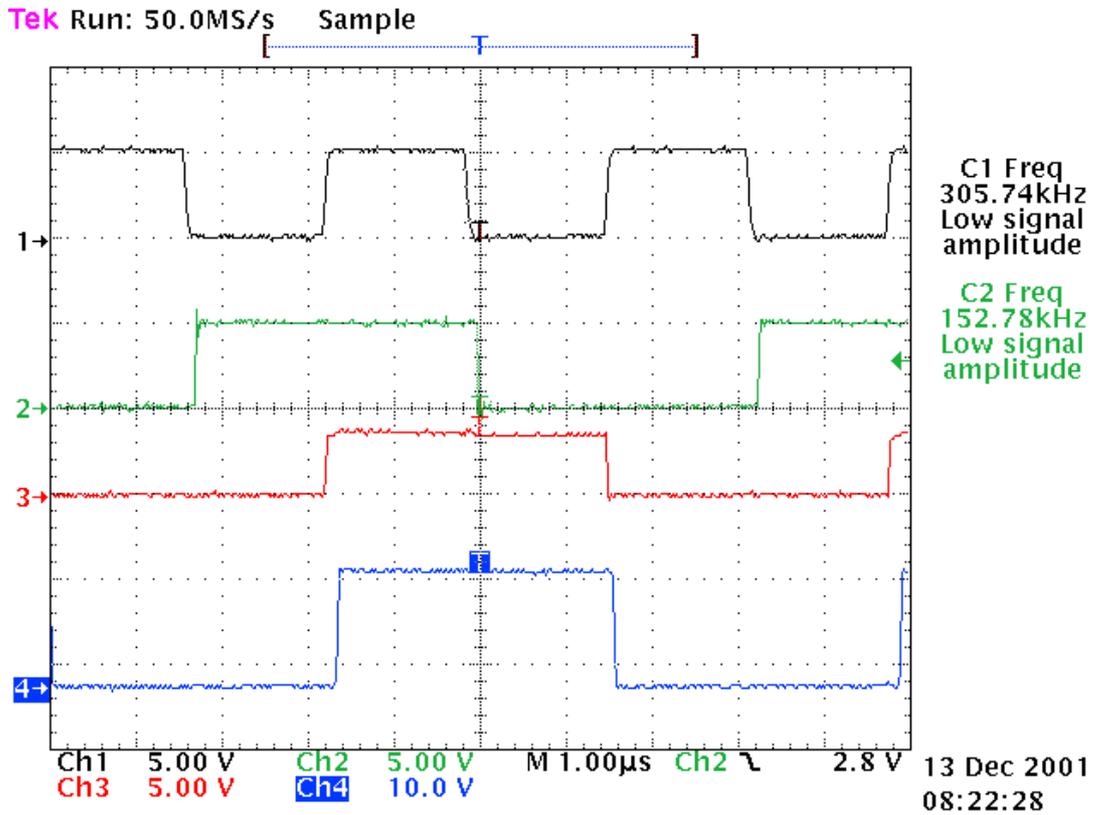


Figure 4.2. Horloge – D0 EPROM – Sortie LATCH – Sortie +15V (lmp3\images\cvs-cde-00.pcx).

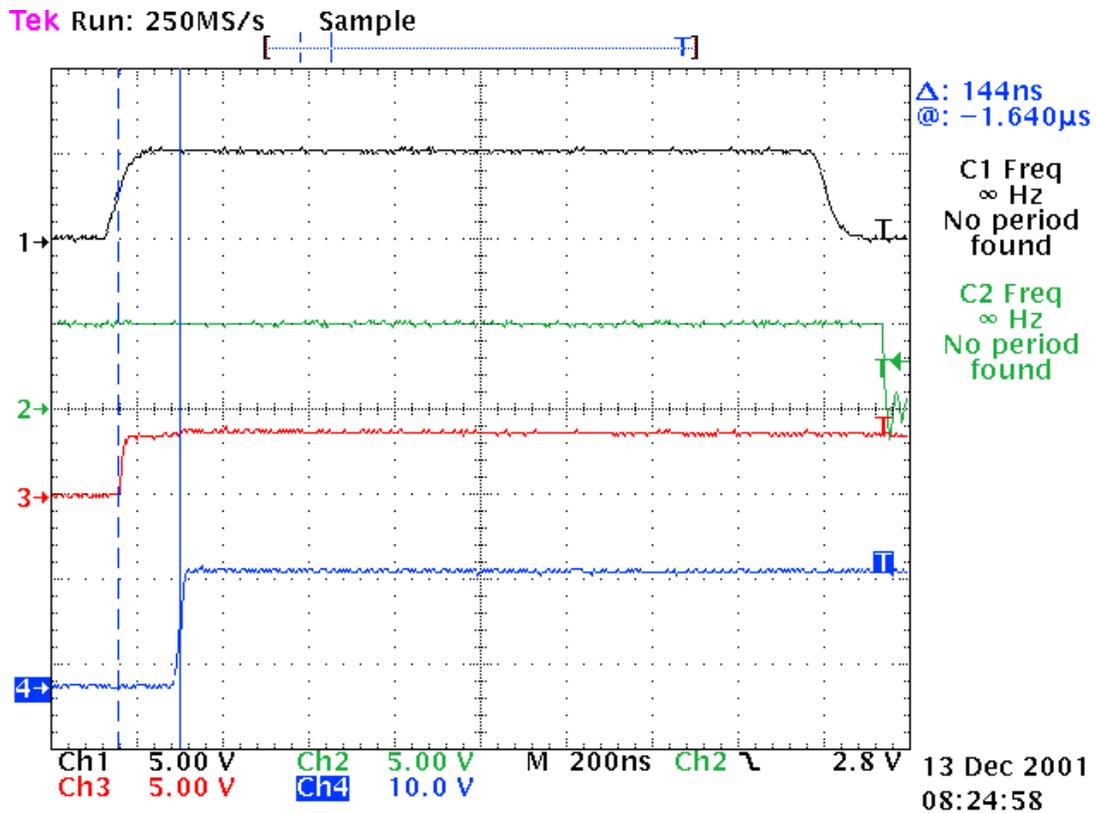


Figure 4.3. Délais ON entre la sortie LATCH et la sortie +15V (lmp3\images\cvs-cde-01.pcx).

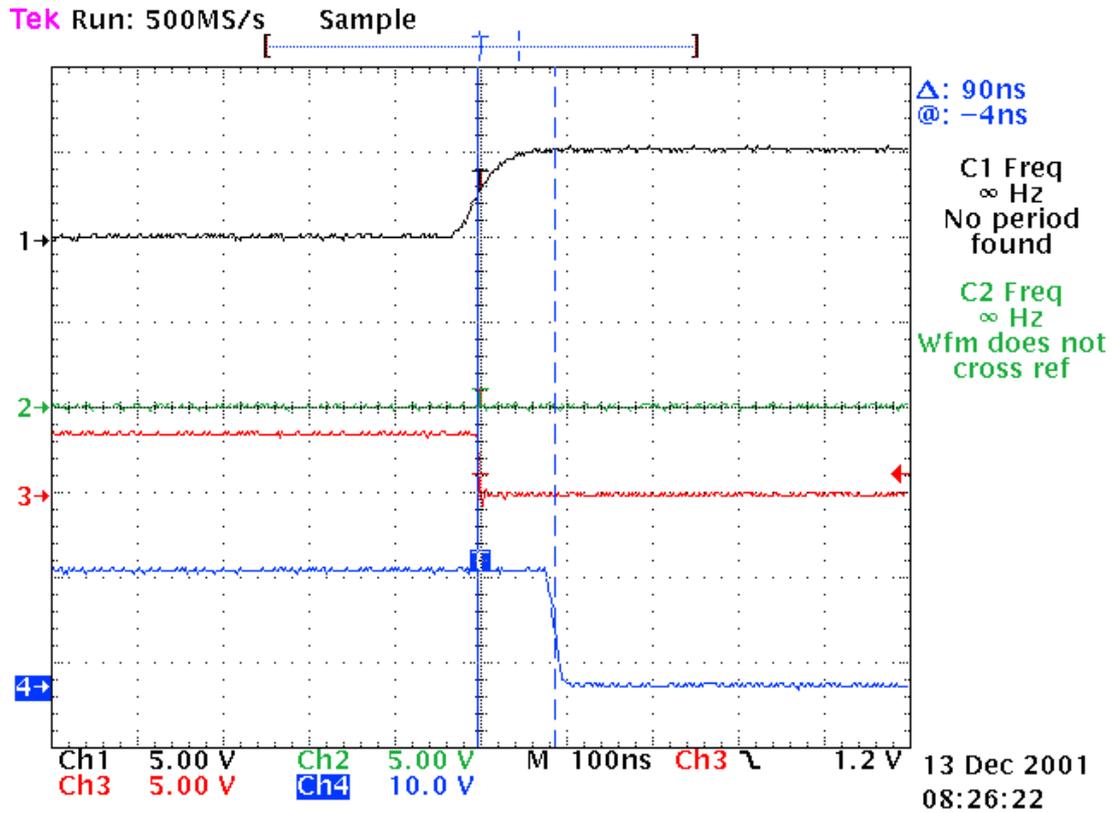


Figure 4.4. Délais OFF entre la sortie LATCH et la sortie +15V (lmp3\images\cvs-cde-02.pcx).

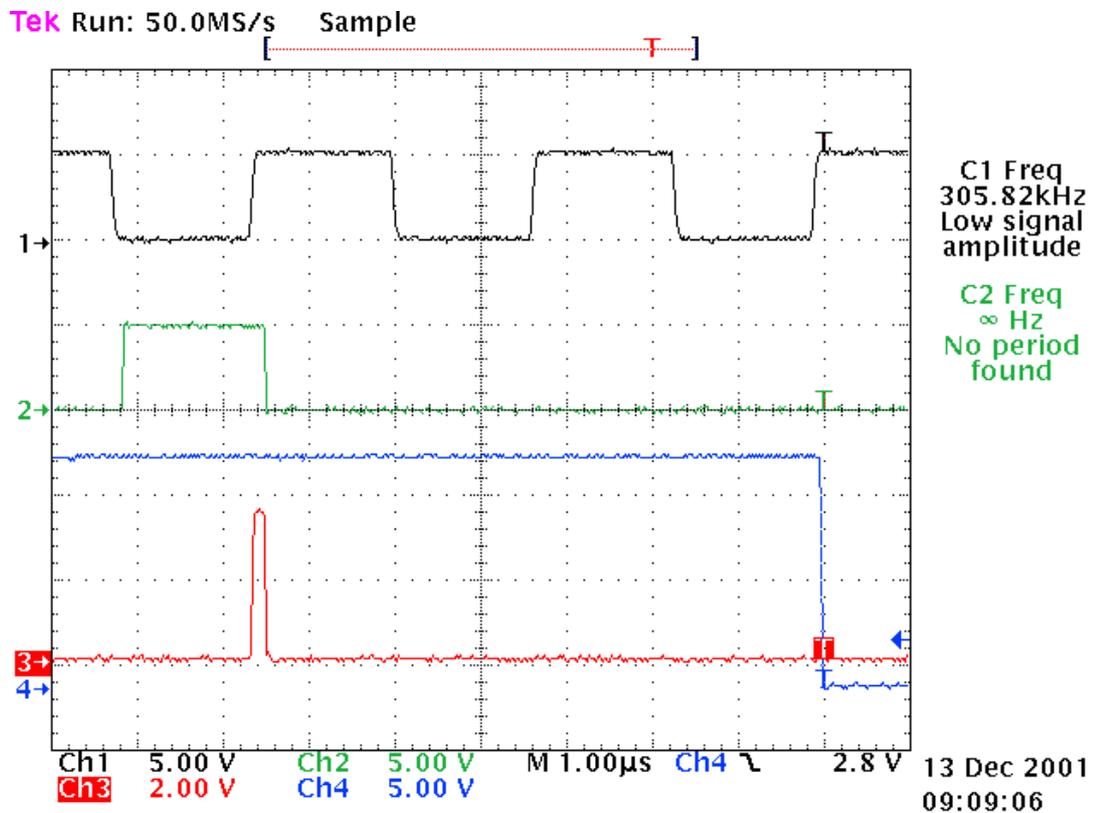


Figure 4.5. Horloge – D7 EPROM1 – RESET – Sortie K1 (lmp3\images\cvs-cde-03.pcx).

4.6 Programmation particulière de l'EPROM

La programmation du RESET du compteur à partir du bit D7 de l'EPROM N°1 doit être faite de la façon suivante, afin de ne pas manquer une période d'horloge :

- les valeurs D0-D7 sont présente sur le bus de données lorsque le signal d'horloge CLK est à zéro ;
- ces valeurs sont présente sur les commandes lorsque CLK = 1 ;
- la séquence $N_s + 1$ contient l'information RESET : D7 = 1, pour CLK = 0 ;
- le RESET se produit lorsque CLK = 1 ;
- le prochain front descendant de CLK produit la valeur d'adresse "1" ;

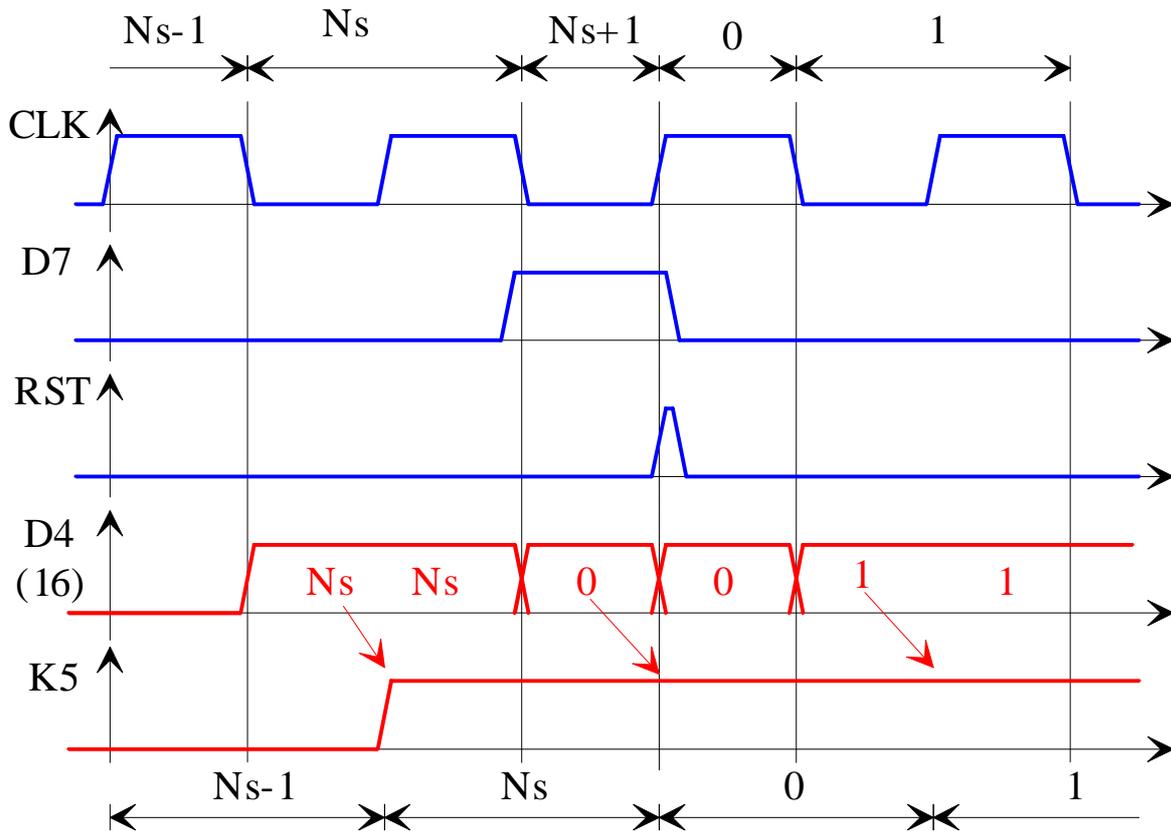


Figure 4.6. Programmation " $@N_{s+1} = @0$ " de l'EPROM (*lmp3\dessins\CLK-RST.drw*).

Afin d'éviter tout aléas, il faut copier la donnée d'adresse $@0$ à l'adresse $@N_{s+1}$ et positionner le bit D7 de cette adresse à "1".